

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-170528

⑮ Int. Cl.⁴

H 01 L 21/28
21/225
21/265
21/336
27/082
29/784

識別記号

3 0 1 T
M

庁内整理番号

7738-5F
7738-5F

⑬ 公開 平成2年(1990)7月2日

7522-5F H 01 L 21/265
8422-5F 29/78 3 0 1 P
7735-5F 27/08 3 2 1 A

審査請求 未請求 請求項の数 6 (全8頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-324925

⑰ 出 願 昭63(1988)12月23日

⑱ 発 明 者 各 務 正 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 金属イオンを、その濃度のピークが表面から500Å以内となるような加速電圧で第1導電型のS i 半導体基板内に選択的に注入する工程と、

酸素が混入しない雰囲気中で500℃以上の温度で熱処理を行い、上記イオン注入領域にシリサイド層を形成する工程と、

上記シリサイド層の領域に、S i 中でキャリアとして作用する第2導電型の不純物を選択的に導入する工程と、

600℃以上の温度で熱処理を行って上記シリサイド層よりも深い拡散層を形成する工程と、

上記シリサイド層の表面に配線層を形成する工程と

を具備したことを特徴とする半導体装置の製造方法。

2. 第1導電型のS i 半導体基板に素子分離領域

を形成する工程と、

上記基板にM O S F E T のゲート電極を形成する工程と、

上記素子分離領域及び上記ゲート電極をマスクに用いて金属イオンを、その濃度のピークが表面から500Å以内となるような加速電圧で上記基板内に注入すると共に上記ゲート電極内にも注入する工程と、

酸素が混入しない雰囲気中で500℃以上の温度で熱処理を行い、上記イオン注入領域にそれぞれシリサイド層を形成する工程と、

上記素子分離領域及び上記ゲート電極をマスクに用いて、基板内に形成された上記シリサイド層の領域にS i 中でキャリアとして作用する第2導電型の不純物を選択的に導入する工程と、

600℃以上の温度で熱処理を行って上記不純物導入領域に上記シリサイド層よりも深いソース、ドレイン用の拡散層を形成する工程と、

上記シリサイド層の表面に配線層を形成する工程と

を具備したことを特徴とする半導体装置の製造方法。

3. 金属イオンを、その濃度のピークが表面から500Å以内となるような加速電圧で第1導電型のSi半導体基板内に選択的に注入する工程と、

上記金属イオン注入領域に、Si中でキャリアとして作用する第2導電型の不純物を選択的に導入する工程と、

酸素が混入しない雰囲気中で500℃以上の温度で熱処理を行い、上記イオン注入領域にシリサイド層を形成すると同時に上記不純物導入領域にシリサイド層よりも深い拡散層を形成する工程と、

上記シリサイド層の表面に配線層を形成する工程と

を具備したことを特徴とする半導体装置の製造方法。

4. 第1導電型のSi半導体基板上に素子分離領域を形成する工程と、

上記基板上にMOSFETのゲート電極を形成する工程と、

程と、

上記拡散層内に、その濃度のピークが表面から500Å以内となるような加速電圧で金属イオンを選択的に注入する工程と、

酸素が混入しない雰囲気中で600℃以上の温度で熱処理を行い、上記イオン注入領域に上記拡散層よりも浅いシリサイド層を形成する工程と

を具備したことを特徴とする半導体装置の製造方法。

6. 第1導電型のSi半導体基板上に素子分離領域を形成する工程と、

上記基板上にMOSFETのゲート電極を形成する工程と、

上記素子分離領域及び上記ゲート電極をマスクに用いて、上記基板内に第2導電型の不純物を選択的に導入して第2導電型のソース、ドレイン用の拡散層を形成する工程と、

上記素子分離領域及び上記ゲート電極をマスクに用いて金属イオンを、その濃度のピークが表面から500Å以内となるような加速電圧で上記拡

散層内に注入すると共に上記ゲート電極内にも注入する工程と、

上記素子分離領域及び上記ゲート電極をマスクに用いて、上記基板内の金属イオン注入領域に、Si中でキャリアとして作用する第2導電型の不純物を選択的に導入する工程と、

酸素が混入しない雰囲気中で500℃以上の温度で熱処理を行い、上記イオン注入領域にシリサイド層を、上記不純物導入領域にこのシリサイド層よりも深いソース、ドレイン用の拡散層を同時に形成する工程と、

上記シリサイド層の表面に配線層を形成する工程と

を具備したことを特徴とする半導体装置の製造方法。

5. 第1導電型のSi半導体基板内に選択的に不純物を導入して第2導電型の拡散層を形成する工

程と、

酸素が混入しない雰囲気中で600℃以上の温度で熱処理を行い、上記基板内のイオン注入領域に上記拡散層よりも浅いシリサイド層を形成すると共に上記ゲート電極のイオン注入領域にもシリサイド層を形成する工程と

を具備したことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の目的〕

（産業上の利用分野）

この発明は、拡散層もしくは拡散層とゲート電極の低抵抗化を図ることにした半導体装置の製造方法に関する。

（従来の技術）

相補MOS型半導体装置、例えばCMOSインバータは従来、次のような工程で製造されている。まず、第2図(a)において、N型[100]のシリコン(Si)基板30に、深さが5μmのP型

ウェル領域31を形成し、基板30の表面に素子分離用不純物層(フィールド反転チャネル防止用の不純物層)32及びこの層32上に素子分離用酸化膜(フィールド酸化膜)33を形成してこれを分離領域34とする。次に第2図(b)に示すように、素子形成領域に100~500Åの膜厚を有するゲート酸化膜35を熱酸化法によって形成し、さらに全面にN型多結晶シリコン層を堆積し、これを写真蝕刻技術によりパターンニングしてゲート電極38を形成する。その後、例えばヒ素(As)イオン等のようなN型不純物を選択的にイオン注入して、P型ウェル領域31にNチャネルMOSFETのソース、ドレイン37を、基板30に電位取出し部38をそれぞれ形成する。続いて、例えばボロン(B)イオン等のようなP型不純物を選択的にイオン注入して、基板30にPチャネルMOSFETのソース、ドレイン39を、P型ウェル領域31に電位取出し部40をそれぞれ形成する。次に、第2図(c)に示すように、保護用酸化膜41をCVD法(化学気相成長法)等により堆積形成し、さらにこ

の膜41に電極取出し部を開孔し、アルミニウム(AI)等による配線パターン42を形成する。

このようなCMOSインバータの製造技術は、相補MOS型半導体装置の一般的な製造技術であり、従来から広く用いられている。ここで、ゲート電極等の配線材料としては、ゲート電極をマスクとした自己整合法によりソース、ドレインが形成でき、かつ高温の熱処理に耐え得る多結晶シリコンが用いられている。ところで、この多結晶シリコンは高濃度に不純物を導入しても比抵抗が $10^{-3}\Omega\text{cm}$ 程度しか下がらず、微細な素子ではこのことが動作の高速化を制限している。

さらに、ソース、ドレインもシート抵抗が $50\sim 100\Omega/\square$ 程度にしか下げることができず、素子が微細化され、オン抵抗が下がっているにもかかわらず、ソース、ドレインにおける寄生抵抗が大きくなるものとなり、オン電流を大きくすることができないという問題がある。

このために最近では、ソース、ドレイン及びゲート電極上にシリサイド層を形成して、それぞ

れの配線抵抗の低減化を図るような方法が開発されている。この方法は、前記第2図(b)に示すように、ソース、ドレイン及びゲート電極を形成した後、金属膜、例えばチタン(Ti)膜を全面に堆積し、その後、熱処理によりチタンとシリコンとを反応させてチタンシリサイド層を形成し、さらに未反応のチタンを薬品処理でエッチング除去することによってソース、ドレイン及びゲート電極それぞれの表面にのみ低抵抗のチタンシリサイド層を形成するものである。この方法は一般にサリサイド(Salicide:Self Aligned Silicide)法と呼ばれている。

(発明が解決しようとする課題)

しかしながら、このサリサイド法によると、金属とシリコンが反応するときに、ソース、ドレイン又はゲート電極でそれぞれ反応したシリサイドがお互いに成長し、短絡してしまい、その後の薬品処理によるエッチングでも除去されずにそのまま残ってしまうという不都合がある。また、金属とシリコンとの界面に存在する自然酸化膜により、

金属とシリコンとの反応が不均一となり、ソース、ドレイン電極と基板が短絡するという不都合が生じる。

この発明は上記のような事情を考慮してなされたものであり、その目的は、ソース、ドレインもしくはゲート電極どおしの短絡やソース、ドレイン電極と基板との短絡を起こすことなく、これらソース、ドレインもしくはゲート電極等におけるコンタクト抵抗の低減化を図ることができる半導体装置の製造方法を提供することにある。

【発明の構成】

(課題を解決するための手段)

この発明の半導体装置の製造方法は、金属イオンを、その濃度のピークが表面から500Å以内となるような加速電圧で第1導電型のSi半導体基板内に選択的に注入する工程と、酸素が混入しない雰囲気中で500℃以上の温度で熱処理を行い、上記イオン注入領域にシリサイド層を形成する工程と、上記シリサイド層の領域に、Si中でキャリアとして作用する第2導電型の不純物を適

択的に導入する工程と、600℃以上の温度で熱処理を行って上記シリサイド層よりも深い拡散層を形成する工程と、上記シリサイド層の表面に配線層を形成する工程とを具備したことを特徴とする。

この発明の半導体装置の製造方法は、金属イオンを、その濃度のピークが表面から500Å以内となるような加速電圧で第1導電型のS1半導体基板内に選択的に注入する工程と、上記金属イオン注入領域に、S1中でキャリアとして作用する第2導電型の不純物を選択的に導入する工程と、酸素が混入しない雰囲気中で500℃以上の温度で熱処理を行い、上記イオン注入領域にシリサイド層を形成すると同時に上記不純物導入領域にシリサイド層よりも深い拡散層を形成する工程と、上記シリサイド層の表面に配線層を形成する工程とを具備したことを特徴とする。

この発明の半導体装置の製造方法は、第1導電型のS1半導体基板内に選択的に不純物を導入して第2導電型の拡散層を形成する工程と、上記拡

散層内に、その濃度のピークが表面から500Å以内となるような加速電圧で金属イオンを選択的に注入する工程と、酸素が混入しない雰囲気中で600℃以上の温度で熱処理を行い、上記イオン注入領域に上記拡散層よりも浅いシリサイド層を形成する工程とを具備したことを特徴とする。

(作用)

この発明の半導体装置の製造方法は、拡散層もしくはこの拡散層の形成予定領域の表面に金属イオンを注入し、その後、シリサイド化することによって、拡散層の表面にのみ低抵抗の金属シリサイド層を形成する。

さらに、この発明の半導体装置の製造方法は、拡散層もしくはこの拡散層の形成予定領域の表面及びゲート電極の上面に金属イオンを注入し、その後、シリサイド化することによって、拡散層の表面及びゲート電極の上面にのみそれぞれ低抵抗の金属シリサイド層を形成する。

(実施例)

以下、図面を参照してこの発明を実施例により

説明する。第1図はこの発明をCMOSインバータの製造方法に実施した、この発明の第1の実施例の製造工程を示す断面図である。

まず、第1図(a)に示すように、比抵抗が $1 \sim 10 \Omega \cdot \text{cm}$ のN型[100]シリコン基板10に、 $3 \sim 5 \mu\text{m}$ の深さを有するP型ウエル領域11を形成する。

続いて第1図(b)に示すように、素子分離予定部の基板10表面に素子分離用不純物層12を形成し、さらにこの層12上に素子分離用の酸化膜13を形成して分離領域14とする。

次に、第1図(c)に示すように、素子形成領域に $70 \sim 150 \text{Å}$ の膜厚を有するゲート酸化膜15を形成した後、厚さ $3000 \sim 6000 \text{Å}$ の多結晶シリコン層16をCVD法等により全面に堆積し、続いてこの多結晶シリコン層16を写真蝕刻技術によりパターンニングして、Nチャネル及びPチャネルMOSFETのゲート電極17N、17Pをそれぞれ形成する。

次に上記ゲート電極17N、17P及び分離領域14

をマスクに用いて上記ゲート酸化膜15を NH_4F によりエッチングした後、全面に金属、例えばチタン(Ti)を加速電圧が例えば 50KeV 、 $3 \times 10^{17} / \text{cm}^2$ のドーズ量でイオン注入し、この後、酸素の混入しない雰囲気において600℃の温度で熱処理を行う。これによりチタンとシリコンとが反応し、第1図(d)に示すように、基板10及びP型ウエル領域11それぞれのソース、ドレイン形成予定部上及び上記ゲート電極17N、17P上にチタンシリサイド層18が形成される。このとき、上記ゲート電極17N、17Pの側壁には予めチタンが注入されていないので、これら側壁にはチタンシリサイド層は形成されず、僅々のチタンシリサイド層18は互いに分離した状態で形成される。なお、ここで金属イオンの加速電圧を 50KeV 以上にすると、イオン注入によるダメージが深く入り、その後、形成されるソース、ドレインにおける接合リーク電流が増加する。このため、イオン注入の際の加速電圧は注意深く設定する必要があり、イオン注入を行うときに金属の

温度のピークが基板表面から500人以下になるように、50 KeV程度に設定することが大切である。

次に全面にフォトリソ膜19を形成し、第1図(e)に示すようにこのレジスト膜19をNチャネルMOSFET側のソース、ドレイン形成予定部、ゲート電極17N及び基板電位取出し部とが露出するように選択的に除去し、続いてこのレジスト膜19を残した状態でP型ウエル領域11及び基板10にN型の不純物、例えばヒ素(As)を、加速電圧が例えば40 KeV、ドーズ量 $3 \times 10^{15} / \text{cm}^2$ の条件でイオン注入してN型不純物注入領域20を選択的に形成する。

続いて、上記イオン注入で使用されたレジスト膜19を全面剥離し、新たに全面にフォトリソ膜21を形成し、今度は第1図(f)に示すようにこのレジスト膜21をPチャネルMOSFET側のソース、ドレイン形成予定部、ゲート電極17P及びPウエル電位取出し部とが露出するように選択的に除去し、続いてこのレジスト膜21を残した状

態で基板10及びP型ウエル領域11にP型の不純物、例えばボロン(B)を、加速電圧が例えば40 KeV、ドーズ量 $3 \times 10^{15} / \text{cm}^2$ の条件でイオン注入してP型不純物注入領域22を選択的に形成する。

その後、600~1000℃の温度で熱処理を行う。これにより、上記N型不純物注入領域20及びP型不純物注入領域22内の不純物が活性化され、第1図(g)に示すように、チタンシリサイド層18よりも深いNチャネルMOSFET側のソース、ドレイン23及び基板電位取出し部24と、PチャネルMOSFET側のソース、ドレイン25及びPウエル電位取出し部26がそれぞれ形成されると共に、各チタンシリサイド層18のシート抵抗が約 $1 \Omega / \square$ 程度まで低下する。続いて、例えばCVD法により全面に保護用酸化膜27を堆積形成し、この保護用酸化膜27に対して電極取出し部を開孔し、さらに全面に配線用金属、例えばアルミニウムを被着し、これをパターニングして配線パターン28を形成することにより完成する。

この実施例の方法によれば、金属シリサイド層とシリコンとの間に従来のような自然酸化膜が存在せず、両者の界面が連続的に変化していくため、ソース、ドレイン及びゲート電極それぞれの表面に、低抵抗の金属シリサイド層を安定して形成することができ、これらソース、ドレイン及びゲート電極に対するコンタクト抵抗を十分に低下させることができる。また、前記第2図に示した従来の方法に対して、金属イオンの注入工程を付加するだけで自己整合的に金属シリサイド層が形成できる。

なお、上記第1図(d)の工程において、イオン注入される金属としてチタンを用いる場合について説明したが、その他に、モリブデン(Mo)、タングステン(W)、ニッケル(Ni)、プラチナ(Pt)、パラジウム(Pd)、タンタル(Ta)等を使用しても同様な効果を得ることができる。また、第1図(e)及び第1図(f)の工程では、イオン注入されるN型及びP型不純物としてヒ素(As)やボロン(B)を用いる場合

について説明したが、その他に5価もしくは4価の不純物であるリン(P)、アンチモン(Sb)、フッ化ボロン(BF₃)、アルミニウム(Al)等を使用しても同様な効果を得ることができる。さらに、第1図(g)の工程では、配線パターン28をアルミニウム(Al)によって形成する場合について説明したが、その他に、アルミニウム(Al)とシリコン(Si)及び銅(Cu)からなる合金、アルミニウムと銅の合金もしくはアルミニウムと他の金属もしくは合金の炭素構造を使用することもできる。

次にこの発明の第2の実施例の製造方法を説明する。上記第1の実施例の方法では、最初にチタンなどの金属をイオン注入し、その直後に熱処理を行って金属シリサイド層を形成した後、Nチャネル及びPチャネルMOSFETのソース、ドレインを形成するようにしている。これに対し、この実施例では、金属をイオン注入した直後は熱処理を行わず、この後にMOSFETのソース、ドレイン用のN型及びP型不純物をイオン注入し、

その後、酸素が侵入しない雰囲気中において500℃以上の温度で熱処理を行うことにより、金属シリサイド層とNチャネル及びPチャネルMOSFETのMOSFETのソース、ドレインを同時に形成するものである。

次にこの発明の第3の実施例の製造方法を説明する。上記第1の実施例の方法では、始めにチタンなどの金属をイオン注入し、熱処理を行って金属シリサイド層を形成した後にNチャネル及びPチャネルMOSFETのソース、ドレインを形成するようにしている。これに対し、この実施例では、始めに第1の実施例の場合と同様の方法でNチャネル及びPチャネルMOSFETのソース、ドレインを形成した後、金属をイオン注入し、続いて酸素が侵入しない6000℃以上の雰囲気中で熱処理を行って金属シリサイド層を形成するものである。

上記第2及び第3の実施例の方法でも、第1の実施例の方法と同様に、ソース、ドレイン及びゲート電極それぞれの表面に、低抵抗の金属シリサ

イド層を自己整合的に、安定して形成することができ、これらソース、ドレイン及びゲート電極の配線抵抗を十分に低下させることができる。また、これら各実施例の方法でも、イオン注入される金属としてはチタン(Ti)の他に、モリブデン(Mo)、タングステン(W)、ニッケル(Ni)、プラチナ(Pt)、パラジウム(Pd)、タンタル(Ta)等を使用することができ、MOSFETのソース、ドレインを形成する際のイオン注入に使用されるN型及びP型不純物としては、ヒ素(As)、ボロン(B)、リン(P)、アンチモン(Sb)、フッ化ボロン(BF₃)、アルミニウム(Al)等を使用することができ、さらに配線パターンはアルミニウム(Al)、アルミニウム(Al)とシリコン(Si)及び銅(Cu)からなる合金、アルミニウムと銅の合金もしくはアルミニウムと他の金属もしくは合金の積層構造等を使用することができ

なお、この発明は上記各実施例に限定されるも

のではなく種々の変形が可能である。例えば、上記第1の実施例ではシリサイド層を形成するために、金属を全面にイオン注入する場合について説明したが、これは多結晶シリコン層による高抵抗を負荷として用いたSRAM等において、レジストによりこの高抵抗となる領域の多結晶シリコン層のみを覆い、この領域を除いて金属をイオン注入することにより、負荷となる高抵抗部分を残して選択的に低抵抗化することも可能である。

【発明の効果】

以上説明したようにこの発明によれば、ソース、ドレインもしくはゲート電極おしりの短絡やソース、ドレイン電極と基板との短絡を起こすことなしに、これらソース、ドレインもしくはゲート電極等におけるコンタクト抵抗の低減化を図ることができる。半導体装置の製造方法を提供することができる。

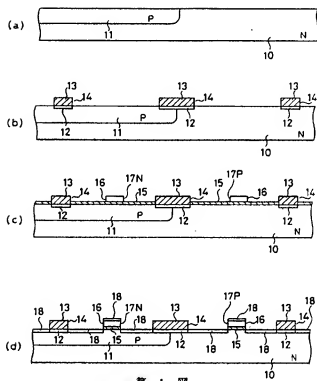
4. 図面の簡単な説明

第1図はこの発明の一実施例の方法による製造工程を示す断面図、第2図は従来方法による製造

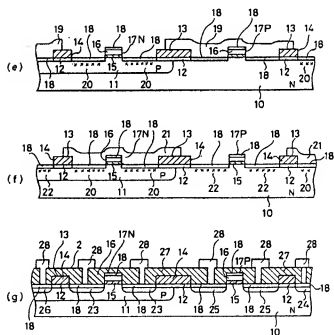
工程を示す断面図である。

10…シリコン基板、11…P型ウェル領域、12…素子分離用不純物層、13…素子分離用の酸化膜、14…分離領域、15…ゲート酸化膜、17N…NチャネルMOSFETのゲート電極、17P…PチャネルMOSFETのゲート電極、18…Tiシリサイド層、19、21…フォトリソレジスト膜、20…N型不純物注入領域、22…P型不純物注入領域、23…NチャネルMOSFET側のソース、ドレイン、24…基板電位取出し部、25…PチャネルMOSFET側のソース、ドレイン、26…Pウェル電位取出し部、27…保護酸化膜、28…配線パターン。

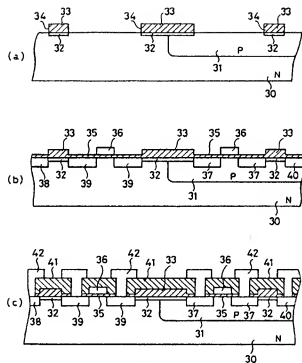
出願人代理人 弁理士 鈴江 武彦



第 1 図



第 1 図



第 2 図